



(43) 國際公開日
2004 年 12 月 23 日 (23.12.2004)

PCT

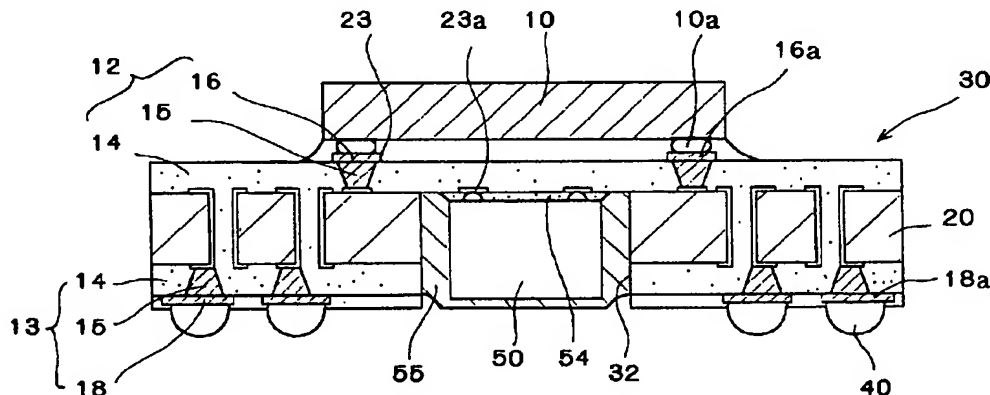
(10) 国際公開番号
WO 2004/112135 A1

- | | | |
|---|---------------------------------|---|
| (51) 国際特許分類 ⁷ : | H01L 25/00, 23/12 | (74) 代理人: 綿貫隆夫 (WATANUKI, Takao); 〒3800935 長野県長野市中御所 3-12-9 クリエイティブビル Nagano (JP). |
| (21) 国際出願番号: | PCT/JP2004/008431 | |
| (22) 国際出願日: | 2004 年 6 月 16 日 (16.06.2004) | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW. |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, TM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, |
| (30) 優先権データ:
特願2003-170852 | 2003 年 6 月 16 日 (16.06.2003) JP | |
| (71) 出願人 (米国を除く全ての指定国について): 日本ミクロン株式会社 (NIHON MICRON CO., LTD.) [JP/JP]; 〒3940048 長野県岡谷市川岸上三丁目 4 番 5 号 Nagano (JP). | | |
| (72) 発明者; および | | |
| (75) 発明者/出願人 (米国についてのみ): 小松 隆次 (KOMATSU, Ryouji) [JP/JP]; 〒3940048 長野県岡谷市川岸上 1-9-2 8 Nagano (JP). | | |

〔統葉有〕

(54) Title: SUBSTRATE FOR SEMICONDUCTOR DEVICES AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置用基板および半導体装置



(57) Abstract: A substrate for semiconductor devices in which electric characteristics to high-speed signals are enhanced by facilitating the mounting of circuit components, such as a decoupling capacitor, fabricated separately from the substrate. The substrate (30) for semiconductor devices on which circuit components (50), such as a decoupling capacitor, are mountable is subjected to counter boring from the mounting surface side thereof, and a component mounting hole (32) where a connection terminal (23a) connected electrically with the circuit component (50) is exposed from the inner bottom face is made by counter boring. The circuit component (50) is so mounted as to be connected electrically with the connection terminal (23a), and a semiconductor element (10) is mounted on the substrate by flip-chip connection.

〔続葉有〕



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 基板と別体に形成されたデカップリングコンデンサ等の回路部品を容易に搭載可能とし、これによって半導体装置用基板の高速信号に対する電気的特性を向上させる。デカップリングコンデンサ等の回路部品50を基板に搭載可能に設けた半導体装置用基板30であって、基板の実装面側からザグリ加工が施され、該ザグリ加工により回路部品50と電気的に接続される接続端子23aが内底面に露出した部品搭載穴32が設けられている。回路部品50が接続端子23aと電気的に接続されて搭載され、半導体素子10がフリップチップ接続によって基板に搭載されている。